

[illegible]

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—166331

⑪ Int. Cl.<sup>3</sup>  
H 03 K 5/135

識別記号

庁内整理番号  
7125—5 J

⑬ 公開 昭和55年(1980)12月25日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ デジタル位相可変回路

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 特 願 昭54—74129

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭54(1979)6月12日

東京都港区芝5丁目33番1号

⑱ 発 明 者 高瀬一郎

⑲ 代 理 人 弁理士 内原晋

BEST AVAILABLE COPY

明 細 書

3. 発明の詳細な説明

1. 発明の名称 デジタル位相可変回路

2. 特許請求の範囲

入力信号がラッチパルスの論理レベル「1」  
でそのまま出力され、論理レベルが「1」から  
「0」に変化するところでサンプルし、論理レ  
ベルが「0」の状態ではールドされるようなラ  
ッチ回路を複数個含み、初段に入力信号を加え  
て最終段から出力信号を得るような縦続接続回  
路と、入力信号の周波数の $2^n$  ( $n$ : 整数) 倍の  
周波数のクロック信号を計数する複数段の2進  
計数回路と、該計数回路の各段出力をそれぞれ  
制御回路を介してラッチパルスとして前記縦続  
接続回路に供給する手段とを備え、前記制御回  
路においてラッチパルスの通過を制御信号で制  
御することによつて位相制御を行ない位相を可  
変としたことを特徴とするデジタル位相可変  
回路。

本発明は入力信号の位相をデジタル的に変  
化することのできるデジタル位相可変回路に  
関するものである。

従来知られている位相可変回路は取り出す移  
相量を必要な位相の状態数だけ用意しておき切  
替えて使用する方法がある。しかし位相の状態  
数が多くなると回路が大型化する欠点があつた。

本発明の目的はこれらの欠点を除き安定に位  
相を変化できる回路を提供することにある。

本発明によると、入力信号がラッチパルスの  
論理レベル「1」でそのまま出力され、論理レ  
ベルが「1」から「0」に変化するところでサ  
ンプルし、論理レベルが「0」の状態ではホル  
ドされるようなラッチ回路を複数個含み初段に  
入力した信号が最終段から出力されるような縦  
続接続回路と、入力信号に対して $2^n$  倍となる信  
号を計数する複数段の2進計数回路と、該計数  
回路の各段出力をそれぞれ制御回路を介してラ  
ッチパルスとして前記縦続接続回路に供給する

(1)

(2)

手段とを併え、前記制御回路においてラッチパルスの通過を制御信号で制御するようにした位相可変回路が得られる。

以下図面を用いて詳しく説明する。

第1図は従来の位相可変回路の構成を示すブロック図である。入力端子101に入つたパルス信号は、位相0なる遅延を与える縦続接続された遅延回路102～108に入り、各遅延回路の出力に得られる8通りの位相をスイッチ109で切替え出力端子110に所望の移相量を取り出す。このように従来の位相可変回路は必要な位相の状態数だけ遅延回路を用意しておかなければならず状態数の増加が回路の大型化となる欠点があつた。

第2図は本発明によるデジタル位相可変回路の実施例を示す構成図であり、第3図(1)～(4)は第2図の動作を説明するための波形図である。本実施例は第1図で説明した8通りの位相の状態数を切替える位相切替えを3つの制御線を制御することで行なつたものである。なお計数回

(3)

機能を持つているので入力端子209の3つの制御線を制御信号で制御することで8通りの位相の状態数をとることができる。制御信号の論理レベルが全て「0」のとき位相を0度とする、制御信号によつて次表のような位相変化が得られる。

状態数	CONT.1	CONT.2	CONT.3	出力移相量
	90°	45°	22.5°	
1	「0」	「0」	「0」	0°
2	「0」	「0」	「1」	22.5°
3	「0」	「1」	「0」	45°
4	「0」	「1」	「1」	67.5°
5	「1」	「0」	「0」	90°
6	「1」	「0」	「1」	112.5°
7	「1」	「1」	「0」	135°
8	「1」	「1」	「1」	157.5°

「」内は論理レベル

第2図の実施例は最高157.5度の移相量を取り得るが1/16分周されたパルス信号の極性を

(5)

路は4段の同期式カウンタ、ラッチ回路は縦続接続したものである。

入力端子201に入つたパルス信号は、4段の同期式カウンタ202に入り各段出力に1/2・1/4・1/8・1/16分周されたパルスが発生する。ここで1/16分周されたパルス(1)を入力とするラッチ回路203は、1/8分周されたラッチパルス(2)により90度の遅延を与えられる。(波形図(1))ラッチ回路204の出力信号(3)は1/4分周されたラッチパルス(2)により45度の遅延を与えられる。(波形図(2))ラッチ回路205の出力信号(4)は1/2分周されたラッチパルス(2)により22.5°の遅延(波形図(3))を与えられ出力端子210に出力される。

以上の動作は、入力端子209の3つの制御線CONT.1～CONT.3の論理レベルが全て「0」状態でカウンタ各段の出力は論理和回路(OR回路)206～208を全通過の状態である。なお、各ラッチ回路はラッチパルスの論理レベルが「1」のとき、入力信号をそのまま出力する

(4)

制御信号で切替えることのできる回路に通すこととて、16通りの位相の状態数と最高337.5度の移相量をとることができる。また第2図では縦続接続回路の入力を「1」「0」「1」「0」…の繰返しパルスで説明したがランダムパルスでもよく1シンボル当りのレートは、繰返しパルスと同じにすることで実施できる。

以上説明したように本発明によれば、 $m$ 個( $m$ :整数)の制御線を制御信号で制御することとて2 <sup>$m$</sup> 通りの位相状態数をとることができる。

#### 4.図面の簡単な説明

第1図は従来の位相可変回路を示す構成図、第2図は本発明によるデジタル位相可変回路の実施例を示す構成図、第3図は第2図の動作を説明するための波形図である。

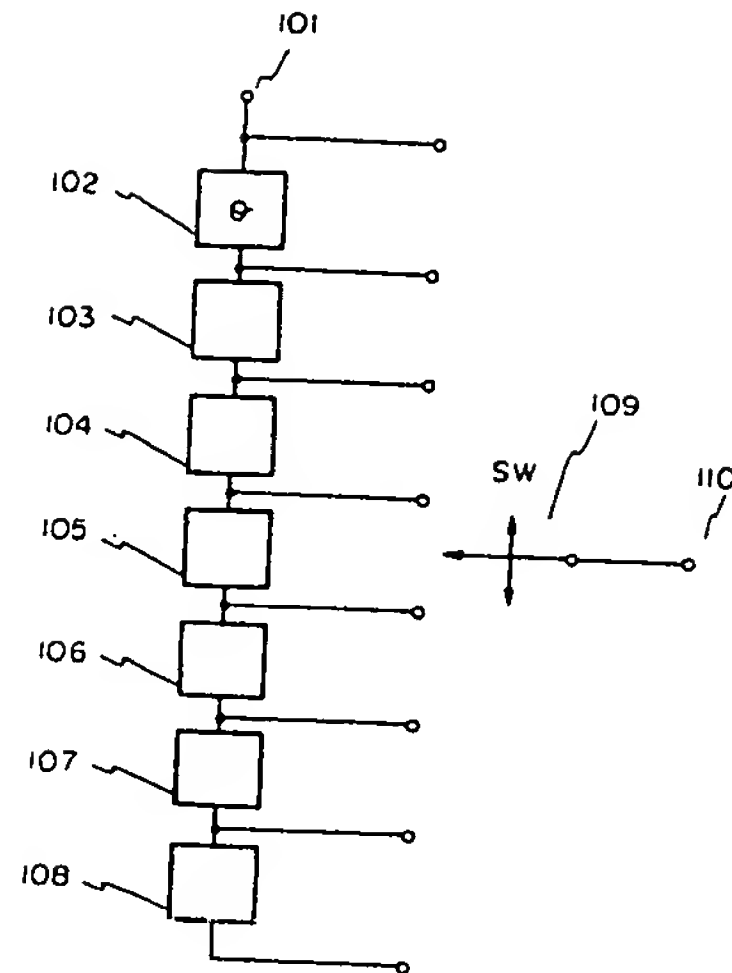
図において、101、201、209は入力端子、102～108は遅延回路、109はスイッチ、202はカウンタ、203～205はラッチ回路、206～208は論理和回路、

(6)

110, 210は出力端子である。

図1

代理人 弁理士 内 原

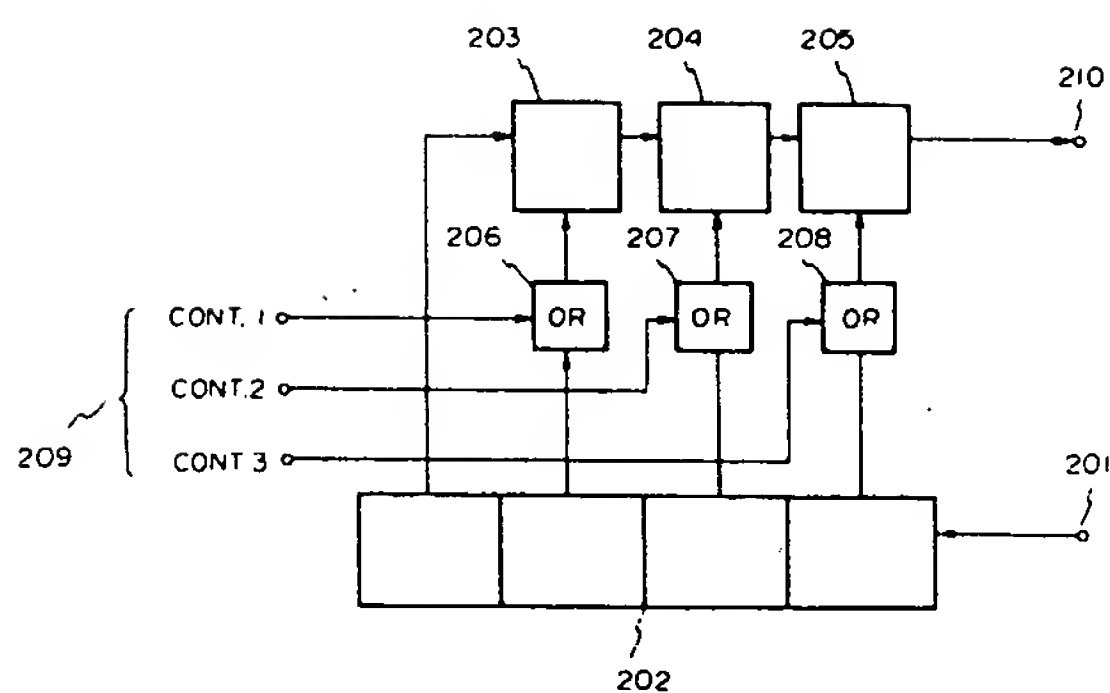


(7)

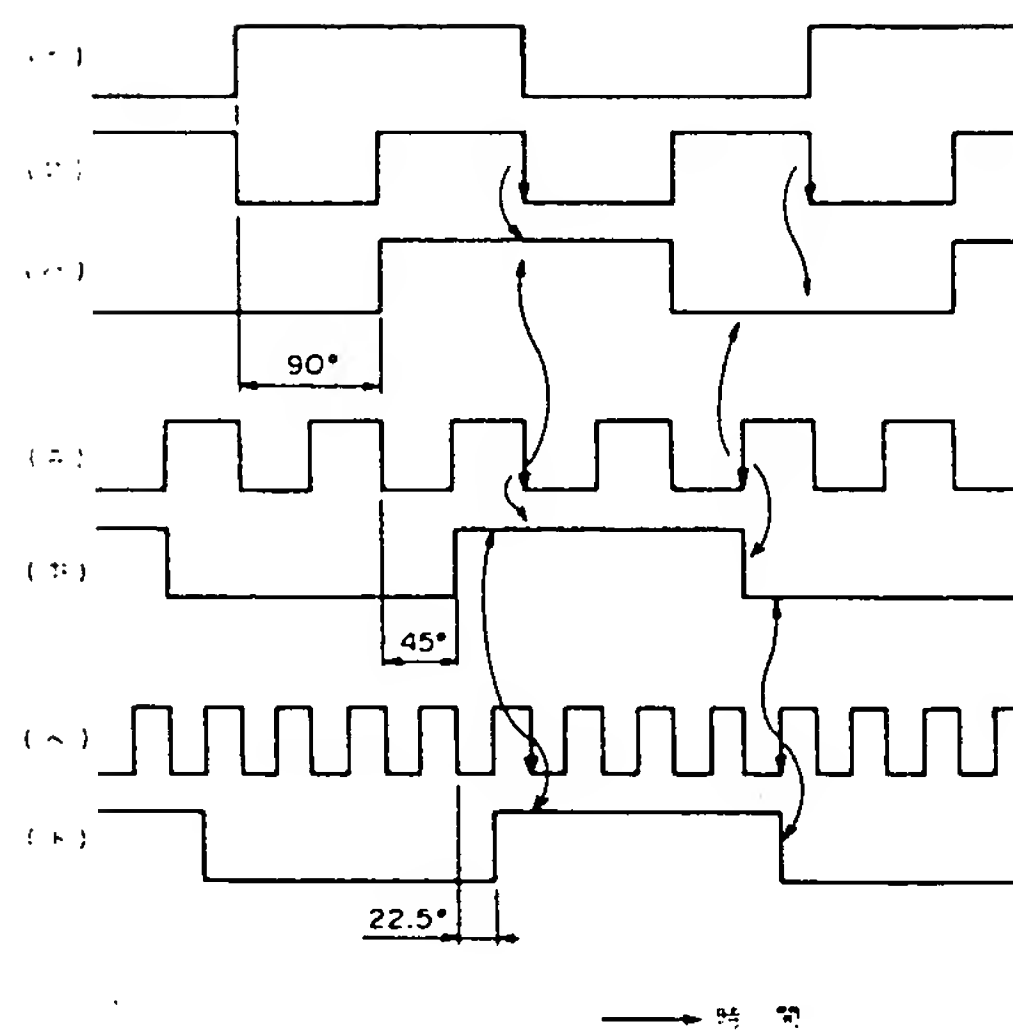
BEST AVAILABLE COPY

図3

図2



代理人 弁理士 内 原



THIS PAGE BLANK (USPTO)